

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **05020097 A**

(43) Date of publication of application: **29 . 01 . 93**

(51) Int. Cl.

**G06F 9/46**  
**G06F 9/46**  
**G06F 9/46**  
**G06F 15/16**

(21) Application number: **03168105**

(71) Applicant: **FUJITSU LTD**

(22) Date of filing: **09 . 07 . 91**

(72) Inventor: **IKEDA MASAHIRO**  
**SATO NOBUYOSHI**

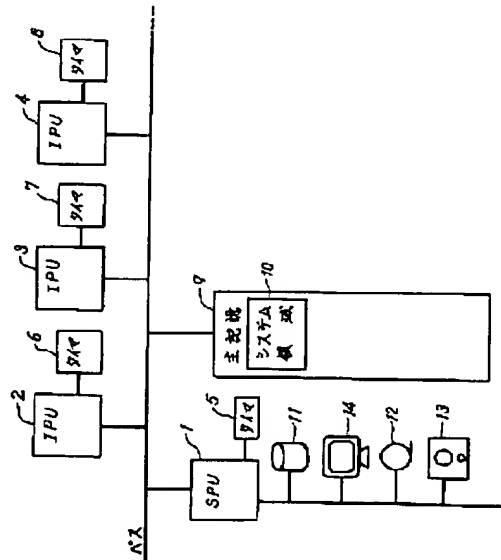
(54) **INFORMATION PROCESSOR**

(57) Abstract:

**PURPOSE:** To smoothly process a timer interruption by a multiprocessor system equipped with a multitask function by providing an interval timer for each instruction execution processor.

**CONSTITUTION:** A main storage 9 has a system area 10 where information required for realizing the multitask function is stored. The system processor 1 and instruction execution processors (IPU) 2-4 are provided with interval timers 5-8. The IPUs 2-4 sets specific time in the timers 6-8, which send interruption request signals to the IPUs 2-4 when the specific time is elapsed. The IPUs 2-8 once detecting the interruption requests read instructions out of the main storage 9 and execute the instructions. When the executed instruction is an instruction changing an interruption mask, it is checked whether the mask is opened by the execution of the instruction last. When the mask is open, a pended interruption processing is started.

**COPYRIGHT:** (C)1993,JPO&Japio



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-20097

(43)公開日 平成5年(1993)1月29日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 9/46	3 1 5 A	8120-5B		
	3 1 1 F	8120-5B		
	3 4 0 E	8120-5B		
15/16	3 1 0 P	8840-5L		

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-168105

(22)出願日 平成3年(1991)7月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 池田 昌弘

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 佐藤 信義

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 本間 崇

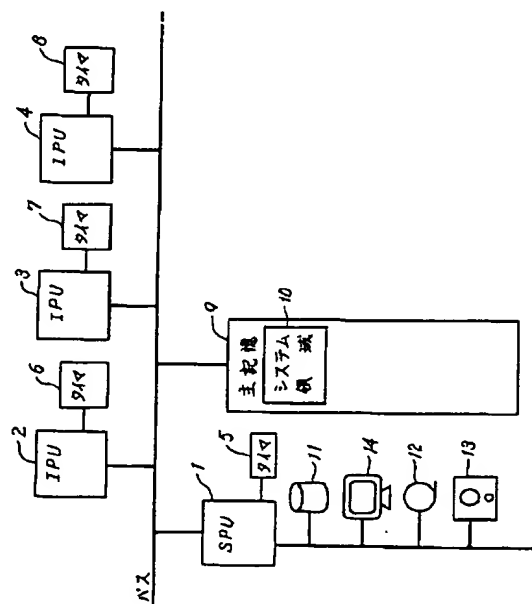
(54)【発明の名称】 情報処理装置

(57)【要約】

【目的】 マルチタスク機能を具備するマルチプロセッサシステムに関し、タイマ割込みを円滑に処理することを目的とする。

【構成】 命令実行プロセッサ2～4ごとにインターバルタイマ6～8を設けると共に、命令プロセッサ2～4が、マスクを変化させる命令を実行した後にマスクの開きを調べて保留中のタイマ割込みを処理するように構成する。

本発明の原理説明図



## 【特許請求の範囲】

【請求項1】 システムプロセッサと複数の命令実行プロセッサとを擁し、マルチタスク機能を具備する情報処理装置において、

インターバルタイマに所定の時間を設定する手段と、インターバルタイマが計測している時間を読出す手段と、インターバルタイマが発行する割込み要求を解除する手段と、割込み要求があったときに対応する割込みマスクが閉じていた場合に割込み要求を保留する手段と、割込みマスクを変化させる命令の実行後に割込みマスクの開閉と保留中の割込み要求の有無とを調べる手段と、該調べる手段の結果に従って機械割込みを行なう手段とを具備する命令実行プロセッサごとにインターバルタイマを設けることを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、複数のプロセッサを擁する情報処理装置がマルチタスク機能を実現するために必要なインターバルタイマに関する。

【0002】マルチタスク機能を有する情報処理装置では、一つのタスクがプロセッサを専有することがないように、プロセッサがあるタスクの処理を開始してから一定の時間が経過した後に、予め定められたタスクの優先順位に従って次に実行すべきタスクを選択し、プロセッサの制御をあるタスクから次のタスクへ切替えている。切替えは、インターバルタイマが割込みを発生させることによって行なっている。

## 【0003】

【従来の技術】従来の情報処理装置は、インターバルタイマ（以下単に「タイマ」という。）を一つだけ持っている。図6は、従来例について説明する図である。図6において、システムプロセッサ（以下「SPU」という。）は、外部記憶装置37～39や表示装置40と接続されている。

【0004】同時に、バスによって命令実行プロセッサ（以下「IPU」という。）31～33および主記憶35と接続されている。主記憶35には、マルチタスク機能を実現するために必要な情報を格納するシステム領域36がある。図6に示すように、従来は、唯一つのタイマ34を持っている。

【0005】タイマ34は、SPU30に割込み要求を発行するように一定時間ごとに通知する。SPU30は各IPU31～33へ割込み要求を順次発行する。このとき、SPU30は対応する割込みマスク（以下単に「マスク」という。）を調べる。その結果マスクが開いていればIPU31～33がその割込み要求を受け付けるまでSPU30は割込み要求を上げる。マスクが閉じていれば割込み要求を保留する。

【0006】各IPU31～33では、同時に複数の割込み要求があった場合に、一つの割込み要求のみを受け

付けるので、他の受け付けられない割込み要求についてはこれを保留する。IPU31～33は、機械割込みを受け付けると、所定の情報をSPU30へ通知し、次のタスクを実行する。

【0007】図7～図10は、マルチタスク機能に関連するIPUにおける処理を示すフローチャートの図である。図7～図10において、英大文字Sで始まる番号は、処理番号を示す。図7に示す処理番号S74の内部割込み処理の詳細は図8に示してある。図7に示す処理番号S76の保留した割込みの処理の詳細は図9に示してある。また、図8に示す処理番号S84の機械割込み処理の詳細は図10に示してある。以下、フローチャートに示す各処理の説明の後に処理番号を括弧付きで示す。

【0008】図7において、IPUは、主記憶にある命令の取り出し（S70）、取り出した命令の解釈（S71）、解釈した命令の実行を行なう（S72）。続いて、内部割込みがあるかないかを調べる（S73）。その結果、内部割込みがあった場合には、内部割込み処理を行なう（S74）。内部割込みがなかった場合には、先に行なった命令の実行（S72）によってマスクが開いたかどうかを調べる（S75）。もしも、マスクが開いていたならば、保留した割込みの処理（S76）に入る。

【0009】図8において、IPUは、内部割込みがタイマによるタイマ割込みであるかを調べる（S80）。その結果、タイマ割込みではなかった場合には、マルチタスク機能とは直接関係のない他の割込み処理（S86）を行なう。タイマ割込みであった場合には、マスクが開いているか否かを調べる（S81）。そして、マスクが開いていれば、SPUからの割込み要求を解除して（S82）、機械割込み処理（S84）を行なう。マスクが閉じていれば、タイマ割込みを保留して、タイマ保留フラグをオンにする（S85）。

【0010】図9において、IPUは、まずタイマ保留フラグを読む（S90）。そして、このタイマ保留フラグがオンになっていないかを調べる（S91）。もしも、タイマ保留フラグがオンになっていたならば、SPUからの割込み要求を解除し（S92）、オンになっているタイマ保留フラグをオフにして（S93）機械割込み処理（S94）を行なう。

【0011】図10において、IPUは、まずマスクを閉じて（S100）他の割込みを受け付けないようにする。次に、タスクのスケジューリング処理を行なう（S101）。ここで、次に実行するタスクを選択して、そのタスクを実行する環境を整える。続いて、タイマに初期値を設定する（S102）。タイマは次のタイマ割込みを発生させるために再び決められた時間を計測し始める。最後に、機械割込みから復帰して（S103）、次のタスクの実行に入る。

## 【0012】

【発明が解決しようとする課題】以上説明したような情報処理装置において、SPUは、各IPUに対して順番に割り込み要求を発行していかなければならない。また、タスクを切替えるために各IPUを一度停止させ、再起動させる必要がある。そのため、IPUの数が多くなるとつれて、割り込みのためにかかる負荷が大きくなりシステム効率が悪くなるという問題点があった。

【0013】また、IPUが実行する命令は、全てがマスクを変化させるわけではない。中には、マスクを変化させないものもある。しかし、従来において、SPUはIPUがどのような命令を実行したのかわからないので、全ての命令について、その命令実行後にマスクが変化したかどうかを調べていた。すなわち、不必要な処理を行なっているという問題点があった。

【0014】本発明は、このような従来の問題点に鑑み、マルチタスク機能を具備するマルチプロセッサシステムにおいて、タイマ割り込みを円滑に処理することを目的とする。

## 【0015】

【課題を解決するための手段】本発明によれば、上述の目的は前記特許請求の範囲に記載した手段により達成される。すなわち、本発明は、システムプロセッサと複数の命令実行プロセッサとを擁し、マルチタスク機能を具備する情報処理装置において、インターバルタイマに所定の時間を設定する手段と、インターバルタイマが計測している時間を読出す手段と、インターバルタイマが発行する割り込み要求を解除する手段と、割り込み要求があったときに対応する割り込みマスクが閉じていた場合に割り込み要求を保留する手段と、割り込みマスクを変化させる命令の実行後に割り込みマスクの開閉と保留中の割り込み要求の有無とを調べる手段と、該調べる手段の結果に従って機械割り込みを行なう手段とを具備する命令実行プロセッサごとにインターバルタイマを設ける情報処理装置である。

## 【0016】

【作用】図1は、本発明の原理説明図である。図1において、SPU1は、外部記憶装置11～13や表示装置14と接続されている。同時に、バスによってIPU2～4および主記憶9と接続されている。主記憶9には、マルチタスク機能を実現するために必要な情報を格納するシステム領域10がある。そして、各プロセッサ1～4はタイマ5～8を持っている。

【0017】IPUは、自己が持つタイマが発行する割り込み要求に従ってタスクを切替えてマルチタスク機能を実現する。IPUは、タイマからの割り込み要求を検出すると、マスクの開閉を調べる手段、割り込み要求を保留する手段、割り込み要求の保留を解除する手段、実行した命令がマスクを変化させるものかを調べる手段、保留した割り込み要求の有無を調べる手段、割り込み要求を解除する

手段、必要に応じて機械割り込みを行なう手段、タイマに所定の時間を設定する手段を用いて、割り込み制御を行なう。

## 【0018】

【実施例】図2は、タイマの構成例を示す図である。図2において、IPU15はタイマ16に所定の時間を設定する。タイマ16は、所定の時間が経過したときにIPU15へ割り込み要求信号を出力する。タイマカウンタ17には、レシーバ回路24を通してIPU15が出力する所定の時間が設定される。この設定時間は、セレクト18およびドライバ回路25を通してIPU15で読むことができる。タイマカウンタ17の設定時間は、AND回路20の出力であるカウントダウン信号に従って減少していく。

【0019】設定時間が減り、ある値になるとチェック回路19がその値を検出してチェック信号を出力する。ここでは、その値をゼロとする。このチェック信号によってAND回路21の出力がオンとなってフリップフロップ（以下、「FF」という。）回路22がセット状態となる。

【0020】FF回路22の出力は、ドライバ回路26を通して割り込み要求信号となってIPU15へ出力される。FF回路22は、タイマカウンタ17に所定の時間を設定するためのタイマ値セット信号若しくは割り込み要求を解除するための割り込み要求解除信号によってOR回路23の出力がオンになるとリセット状態になる。なお、上述したカウントダウン信号は、タイマ有効信号がオンの間はタイマ用クロック信号と等しくなり、タイマ有効信号がオフの間は無効な信号となる。

【0021】図3は、図2に示すタイマの動作を説明するタイミングチャートの図である。図3において、タイマカウント値は、タイマカウンタ17に設定されている時間を示す。J端子入力、AND回路21の出力でありFF回路22のJ端子に入力される信号を示す。K端子入力、OR回路23の出力であり、FF回路23のK端子に入力される信号を示す。なお、図3において、タイマ有効信号はオンであるとする。

【0022】タイマ有効信号がオンなので、カウントダウン信号はタイマ用クロック信号と等しくなる。タイマカウント値は、カウントダウン信号のパルスを受けるたびに減少している。クロック信号は、タイマカウンタ17およびFF回路22の動作タイミングを指示する。英文字T aが示すクロック信号のパルスによって、タイマカウンタ17の出力する値が“1”から“0”に変化する。チェック信号は、この“0”によってオンになる。

【0023】K端子入力、カウントダウン信号とチェック信号との論理積であり、両方の信号がオンの時にオンになる。英文字T bが示すクロック信号のパルスによってFF回路22が動作し、J端子入力のオンによってセット状態となる。そのため、割り込み要求信号がオンに

なる。

【００２４】その後、英文字符Ｔｃが示すクロック信号のパルスによってＦＦ回路２２が動作し、この時タイマ値セット信号がオンであると、Ｋ端子入力のオンによってＦＦ回路２２はリセット状態となる。そのため、割込み要求信号がオフとなり、タイマカウンタ１７には所定のカウントダウン値が設定される。

【００２５】図４は、ＩＰＵのファームウェア制御を示すフローチャートの図である。図４に示す処理番号Ｓ４２の各命令の処理の詳細は、図５に示してある。また、処理番号Ｓ４４の内部割込み処理の詳細は図８に示してあり、その説明は上述したとおりである。図５は、各命令の処理を示すフローチャートの図であり、ここに示す処理番号Ｓ５３の保留した割込みの処理の詳細は図９に示してあり、その説明は上述したとおりである。但し、本発明において、割込み要求を発行するのは、そのＩＰＵが持つタイマであるので、解除する割込み要求は、そのタイマからのものである。

【００２６】図４において、ＩＰＵは、主記憶にある命令の取り出し（Ｓ４０）、取り出した命令の解釈（Ｓ４１）、解釈した各命令の処理（Ｓ４２）を行なう。続いて、内部割込みがあるかないかを調べる（Ｓ４３）。その結果、内部割込みがあった場合には、内部割込み処理を行ない（Ｓ４４）、それから次の命令を取り出す（Ｓ４０）。内部割込みがなかった場合には、そのまま次の命令を取り出す（Ｓ４０）。

【００２７】図５において、ＩＰＵは、解釈した命令を実行する（Ｓ５０）。そして、実行した命令がマスクを変化させる命令であるかをみる（Ｓ５１）。マスクを変化させる命令であった場合には、先に行なった命令の実行（Ｓ５０）によってマスクが開いたかどうかを調べる（Ｓ５２）。その結果、マスクが開いていれば保留した割込みの処理（Ｓ５３）に入る。

【００２８】

【発明の効果】以上説明したように、本発明によれば、それぞれのＩＰＵにタイマを持たせているので割込みのためにかかる負荷を分散させることができる。また、マスクを変化させない命令の実行後はマスクの開閉を調べ

ないので、不必要な処理を行なわなくても済む。よって、本発明には、システム効率を著しく良化させるという利点がある。

【図面の簡単な説明】

【図１】本発明の原理説明図である。

【図２】タイマの構成例を示す図である。

【図３】図２に示すタイマの動作を示すタイミングチャートの図である。

【図４】ＩＰＵのファームウェア制御を示すフローチャートの図である。

【図５】各命令の処理を示すフローチャートの図である。

【図６】従来例について説明する図である。

【図７】従来のファームウェア制御を示すフローチャートの図である。

【図８】内部割込み処理を示すフローチャートの図である。

【図９】保留した割込みの処理を示すフローチャートの図である。

【図１０】機械割込み処理を示すフローチャートの図である。

【符号の説明】

１，３０ ＳＰＵ

２～４，１５，３１～３３ ＩＰＵ

５～８，１６，３４ タイマ

９，３５ 主記憶

１０，３６ システム領域

１１～１３，３７～３９ 外部記憶装置

１４，４０ 表示装置

１７ タイマカウンタ

１８ セレクタ

１９ チェック回路

２０，２１ AND回路

２２ ＦＦ回路

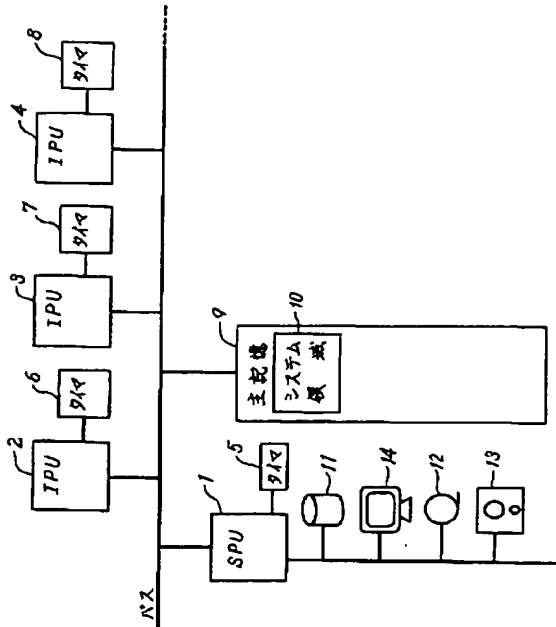
２３ OR回路

２４ レシーバ回路

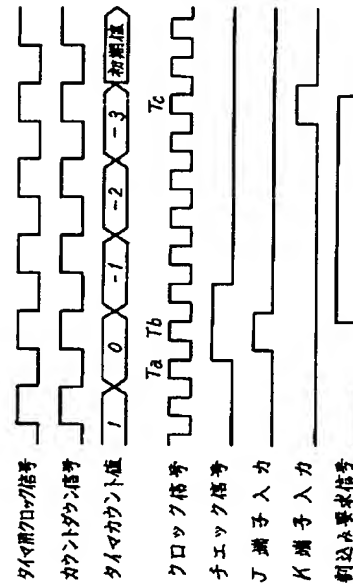
２５，２６ ドライバ回路

【図1】

本発明の原理説明図

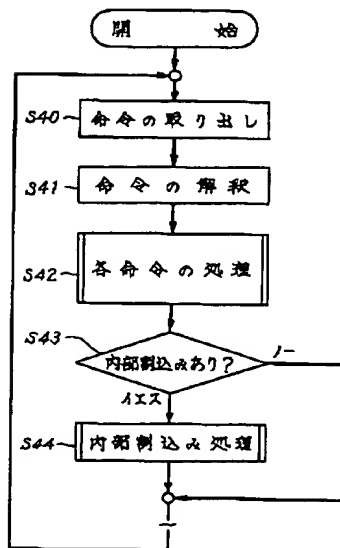


【図3】

図2に示すタイマの動作を説明する  
タイミングチャート

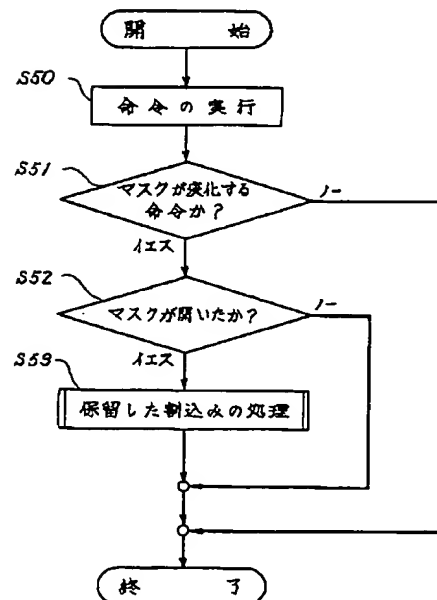
【図4】

IPUのファームウェア制御を示すフローチャート



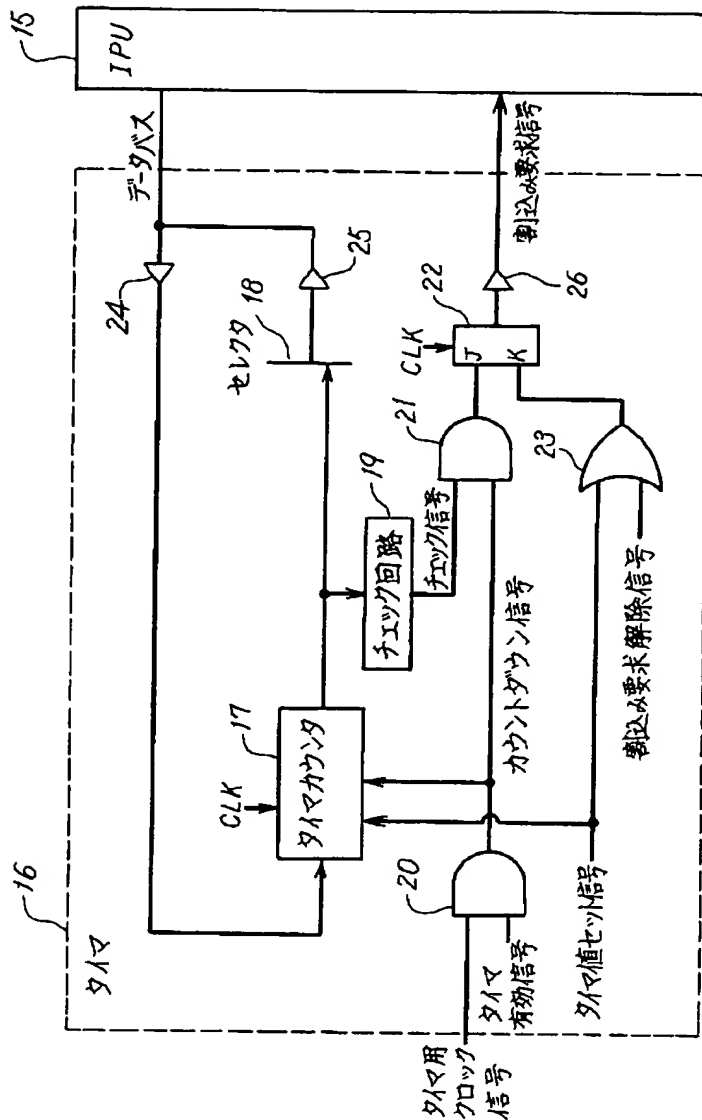
【図5】

各命令の処理を示すフローチャート



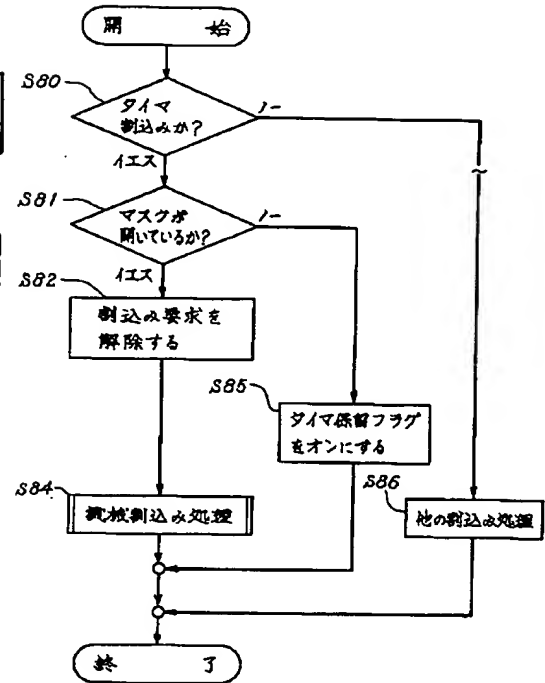
【図2】

タイマの構成例を示す図



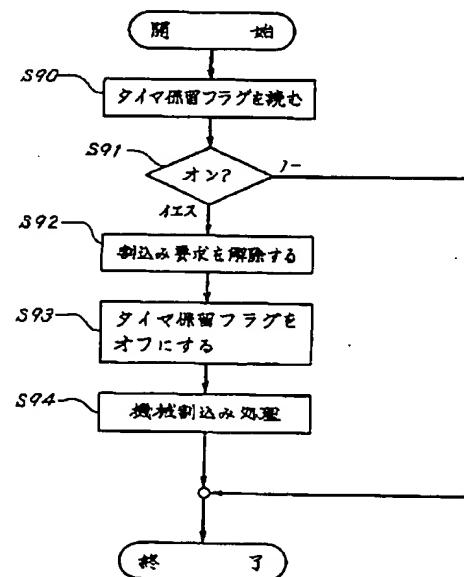
【図8】

内部割込み処理を示すフローチャート



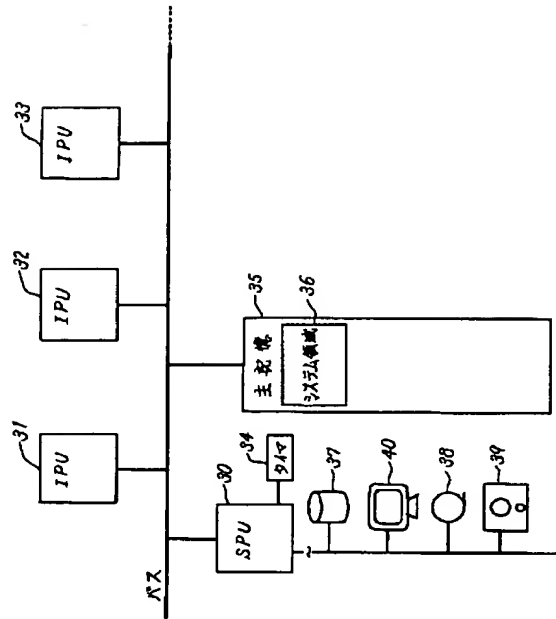
【図9】

保留した割込みの処理を示すフローチャート



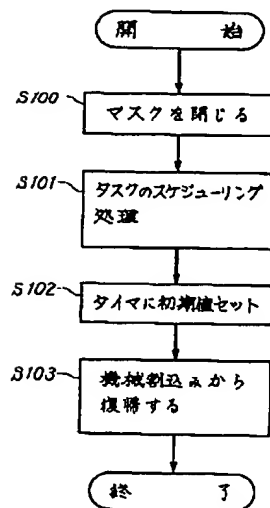
【図6】

従来例について説明する図



【図10】

機械割込み処理を示すフローチャート



【図7】

従来のファームウェア制御を示すフローチャート

